

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076017

(43)Date of publication of application : 15.03.2002

(51)Int.Cl. H01L 21/336
H01L 29/78

(21)Application number : 2000-257341

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 28.08.2000

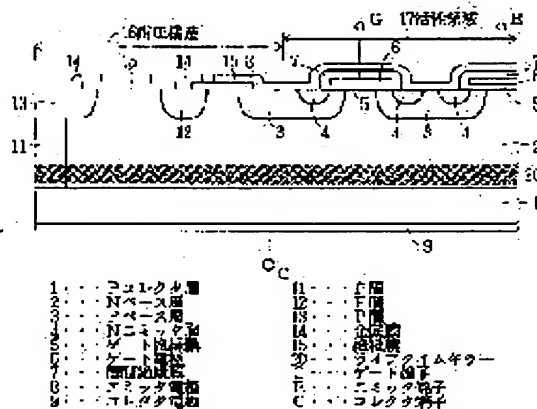
(72)Inventor : HARADA YUICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reverse-blocking semiconductor device which displays a good reverse-recovery property when it acts as a diode keeping a favorable turnoff property for a reverse-blocking IGBT.

SOLUTION: P-type base layer 3 is formed on a surface of high-relative- resistance n-type base layer 2, p-type collector layer 1 is formed on the back side of the base layer 2, n-type emitter layer 4 is formed on the surface part of the p-type base layer 3, an gate-insulating film 5 is formed on a region of the p-type base film 3 between two of the n-type emitter layer 4 and on the n-type emitter layer 2, a gate electrode 6 is formed on the gate-insulating film 5, and life time killer is localized at the vicinity of the junction of the p-type collector 1 and n-type base layer 2, by He radiation or proton radiation capable of localizing the life time killer into the desired depth. By the localization of life time killer, a reverse-recovery peak current (I_{rp}) when a diode is active can be reduced and the property of reverse-blocking semiconductor becomes a soft-recovery type.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-76017

(P2002-76017A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl.⁷

H01L 21/336
29/78

識別記号

655

FI

H01L 29/78

テマコード(参考)

655F
658H

審査請求 未請求 請求項の数7 O L (全6頁)

(21)出願番号 特願2000-257341(P2000-257341)

(22)出願日 平成12年8月28日(2000.8.28)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 原田 祐一

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 100088339

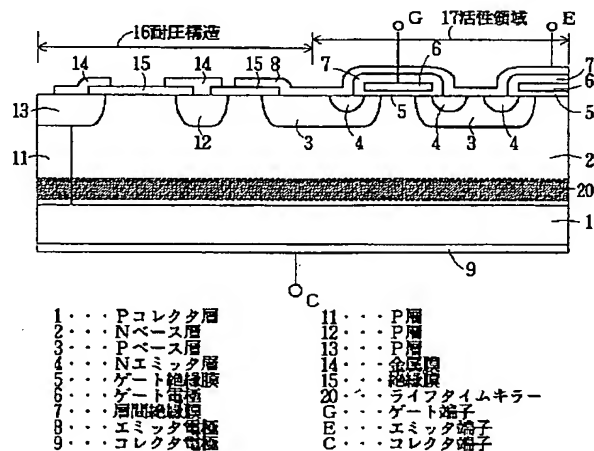
弁理士 篠部 正治

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】逆阻止型IGBTの良好なターンオフ特性を維持しながら、ダイオード動作させた場合に良好な逆回復特性を示す逆阻止型の半導体装置を提供すること。

【解決手段】高比抵抗のNベース層2の表面にPベース層3を形成し、裏面側にPコレクタ層1を形成し、Pベース層3の表面部にはNエミッタ層4を形成し、2つのNエミッタ層4で挟まれた領域のPベース層3とNベース層2の上にはゲート絶縁膜5を形成し、ゲート絶縁膜5の上にゲート電極6を形成し、任意の深さに局所的にライフタイムキラを存在させることのできるHe照射やプロトン照射などを用い、Pコレクタ層1とNベース層2との接合付近に局在化させる。ライフタイムキラを局在化させることで、ダイオード動作時の逆回復ピーク電流(I_{rp})を小さくし、ソフトリカバリー特性とする。



【特許請求の範囲】

【請求項 1】第 1 導電型ベース層と、該第 1 導電型ベース層の表面に選択的に形成された第 2 導電型ベース層と、該第 2 導電型ベース層の表面に選択的に形成された第 1 導電型ソース層と、前記第 1 導電型ベース層と前記第 1 導電型ソース層に挟まれた前記第 2 導電型ベース層上にゲート絶縁膜を介して形成されたゲート電極と、前記第 1 導電型ソース層と第 2 導電型ベース層に接触して形成された第 1 主電極と、前記第 1 導電型ベース層の裏面に形成された第 2 導電型コレクタ層と、該コレクタ層上に形成された第 2 主電極とを具備し、順阻止耐圧と同等の逆阻止耐圧を有する半導体装置において、第 1 導電型ベース層と第 2 導電型コレクタ層の接合近傍にライフタイムキラーを局在化させることを特徴とする半導体装置。

【請求項 2】前記ライフタイムキラーの分布のピーク位置が、前記第 1 導電型ベース層と前記第 2 導電型ベース層で形成される PN 接合に印加される逆バイアス電圧で、空乏層が到達しない前記第 1 導電型ベース層内とすることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記ライフタイムキラーの分布のピークが、前記第 1 導電型ベース層内に存在し、前記ピーク的位置と前記 PN 接合の位置との距離が $0\ \mu\text{m}$ ないし $40\ \mu\text{m}$ であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】前記ライフタイムキラーが、イオン照射で導入されることを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置。

【請求項 5】前記イオンが、ヘリウムイオンもしくは水素イオンであることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】前記逆阻止耐圧を得るために、前記第 1 導電型ベース層の外周部表面に、第 2 導電型ベース層の側面を取り囲むように形成された第 2 導電型の第 1 半導体層と、該第 1 半導体層に接し、前記第 2 導電型コレクタ層と接する第 2 導電型の第 2 半導体層を備えた耐圧構造を有することを特徴とする請求項 1 ないし 5 のいずれかに記載の半導体装置。

【請求項 7】前記逆阻止耐圧を得るために、ベベル構造を有することを特徴とする請求項 1 ないし 5 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電力用スイッチング素子である逆阻止型 IGBT などの半導体装置に関する。

【0002】

【従来の技術】現在スイッチング半導体素子として一般的にバイポーラトランジスタ（以下、BJT と称す：Bipolar Junction Transisto

r）、MOS 型電界効果トランジスタ（以下、MOSFET と称す）、絶縁ゲート型バイポーラトランジスタ（以下、IGBT と称す）がその用途に応じて使用されている。

【0003】BJT は、飽和状態では伝導度変調を起こしていることから、オン抵抗は小さいが、スイッチング速度特にターンオフ時は少数キャリアの蓄積効果による過剰キャリアが存在するため、ターンオフ時間が長くなり、比較的低周波数領域で用いられる。また、電流駆動の素子であることから駆動回路での発生損失が大きくなる。

【0004】これに対して、MOSFET は電圧駆動型の素子であることから駆動回路での発生損失が小さく、また本来少数キャリアが蓄積することがないのでスイッチング速度は速い。しかし、少数キャリアの注入に基づく伝導度変調が起こらないので、オン抵抗が大きくなるという問題がある。IGBT は、MOSFET と同様に、電圧駆動型の素子であることから駆動回路での発生損失は小さく、また、BJT と同様に、少数キャリアの注入に基づく伝導度変調を起こしていることからオン抵抗は小さくできる。

【0005】しかし、ターンオフ時は少数キャリアの蓄積効果に加えて、空乏層の広がりにより掃き出される多数キャリアにより、裏面からの少数キャリアの再注入があるために、ターンオフ時間が遅くなる。従って、一般的には、スイッチング回路において、BJT や IGBT は、定常損失は小さいが、スイッチング損失が大きいために、比較的低周波数で用いられることが多く、一方、MOSFET は、逆に、定常損失は大きい、スイッチング損失が小さいために、比較的高周波数で用いられることが多い。

【0006】MOSFET は、その構造上耐圧特性が得られる pn 接合部は 1 箇所であることから耐圧特性は順耐圧にしか示さない。これに対し、BJT と IGBT は 2 箇所の pn 接合を有している。しかし、BJT は、エミッタ層からのキャリアの注入を大きくするために、エミッタ層の濃度を高くしている。このため、ベースエミッタ間の PN 接合の降伏電圧が小さく、順逆双方に対して同等の耐圧特性を得ることはできない。

【0007】一方、IGBT は第 1 導電型ベース層内に空乏層を広げることで耐圧特性を得ているため、表面側の第 1 導電型ベース層と第 2 導電型ベース層、裏面側の第 1 導電型ベース層と第 2 導電型コレクタ層のそれぞれの PN 接合部分で、ほぼ同等の降伏電圧を確保できる。従って、IGBT は順逆双方の耐圧特性を得ることは原理的に可能である。しかし、通常の IGBT は、プレーナ型の周辺耐圧構造を採用しエミッタ層のある表面側のみに形成するため、順方向の耐圧特性しか有さない。

【0008】これに対して、図 11 に示す特開平 7-307469 号公報に開示されている逆阻止型 IGBT

は、素子側壁のNベース層51にP層57を形成することにより逆阻止耐圧特性を得ることができる。尚、図中の符号で、52はPベース層、53はNエミッタ層、54はゲート絶縁膜、55はゲート電極、56はPコレクタ層、58はエミッタ電極、59はコレクタ電極、60は金属膜である。

【0009】また、この逆阻止型IGBTを逆並列接続することにより双方向IGBTとすることができる。この双方向IGBTを用いると直流電流ばかりでなく交流電流の制御も可能となる。

【0010】

【発明が解決しようとする課題】つぎに、この双方向IGBTを、交流から交流へ直接変換する回路に用いた場合について説明する。この直接変換回路のアームは、双方向IGBTで構成され、この双方向IGBTを構成する一方の逆阻止型IGBTは還流ダイオードとしての動作モードがある。

【0011】この逆阻止型IGBTは、逆阻止能力があるために、ゲートを常時オン状態とすることで、逆阻止耐圧があるダイオードとして動作させることができる。しかし、前記の直接変換回路で、この逆阻止型IGBTを還流ダイオードとして動作させる場合は、逆回復電流を小さくすることが要求される。しかし、前記の公報では、前記逆阻止型IGBTをダイオードとして動作させることは開示されておらず、従って、ダイオードとして動作させた場合の逆回復電流を小さくする方法についても開示されていない。

【0012】この発明の目的は、逆阻止型IGBTの良好なターンオフ特性を維持しながら、ダイオード動作させた場合に良好な逆回復特性を示す逆阻止型の半導体装置を提供することである。

【0013】

【課題を解決するための手段】前記の目的を達成するために、第1導電型ベース層と、該第1導電型ベース層の表面に選択的に形成された第2導電型ベース層と、該第2導電型ベース層の表面に選択的に形成された第1導電型ソース層と、前記第1導電型ベース層と前記第1導電型ソース層に挟まれた前記第2導電型ベース層上にゲート絶縁膜を介して形成されたゲート電極と、前記第1導電型ソース層と第2導電型ベース層に接触して形成された第1主電極と、前記第1導電型ベース層の裏面に形成された第2導電型コレクタ層と、該コレクタ層上に形成された第2主電極とを備え、順阻止耐圧と同等の逆阻止耐圧を有する半導体装置において、第1導電型ベース層と第2導電型コレクタ層の接合近傍にライフタイムキラーを局在化させる構成とする。

【0014】前記ライフタイムキラーの分布のピーク位置が、前記第1導電型ベース層と前記第2導電型ベース層で形成されるPN接合に印加される逆バイアス電圧で、空乏層が到達しない前記第1導電型ベース層内とす

るとよい。前記ライフタイムキラーの分布のピークが、前記第1導電型ベース層内に存在し、前記ピークの位置と前記PN接合の位置との距離が0 μ mないし40 μ mであるとよい。

【0015】前記ライフタイムキラーが、イオン照射で導入され、このイオンがヘリウムイオンもしくは水素イオンであると効果的である。前記逆阻止耐圧を得るために、前記第1導電型ベース層の外周部表面に、第2導電型ベース層の側面を取り囲むように形成された第2導電型の第1半導体層と、該第1半導体層に接し、前記第2導電型コレクタ層と接する第2導電型の第2半導体層を備えた耐圧構造を有するとよい。また、ベベル構造を有すると効果的である。

【0016】前記のように、ライフタイムキラーを裏面側の第1導電型ベース層と第2導電型コレクタ層の接合部分付近に局在化させることにより、逆阻止型IGBTのターンオフ時間を短縮できて、かつ、ダイオードとして動作させた場合に、逆回復電流を小さくすることができる。

【0017】

【発明の実施の形態】以下、図を参照しながらこの発明の実施例を説明する。以下の実施例ではすべて第1導電型をN型、第2導電型をP型とするがこれを逆にしても構わない。図1は、この発明の第1実施例の半導体装置の要部断面図である。ここでは、半導体装置は逆阻止型IGBTである。

【0018】高比抵抗のNベース層2の表面にPベース層3を形成し、裏面側にPコレクタ層1を形成する。活性領域のPベース層3の表面部にはNエミッタ層4を形成する。2つのNエミッタ層4で挟まれた領域のPベース層3とNベース層2の上にはゲート絶縁膜5を形成し、さらにゲート絶縁膜5の上にゲート電極6を形成する。表面から形成された各層およびゲート電極6が形成されたエミッタ側表面は層間絶縁膜7で覆われ、これにコンタクト孔が開けられさらにPベース層3およびNエミッタ層4に接触するエミッタ電極8を形成し、裏面のPコレクタ層1上にコレクタ電極9を形成する。つぎに、耐圧構造16の外周部とPコレクタ層1に接するように、Nベース層2の側壁にはP層11を形成する。

【0019】前記のコレクタ電極9を形成する前に、ライフタイム制御を行う。このライフタイム制御は、従来のように、電子線照射などの素子全体に対して均一なライフタイムキラーを用いるのではなく、任意の深さに局所的にライフタイムキラーを存在させることのできるHe照射やプロトン照射などを用い、Pコレクタ層1とNベース層2との接合付近に局在化させる。

【0020】このように、ライフタイムキラーを接合付近に局在化させることで、ターンオフ時は空乏層が拡がった状態でもライフタイムキラーが有効に働くことから高速なターンオフ特性となる。また、Pコレクタ層1と

Nベース層2からなるPNダイオードの逆回復特性は、Nベース層2内の接合付近のキャリア濃度が小さくなるために逆回復ピーク電流 (I_{rp}) が小さくソフトリカバリの良好な特性を示す。図2にターンオフ波形、図3にダイオード動作させた時の逆回復波形を示す。ここでAは本発明品、Bは従来品である。

【0021】また、側壁部分にP層11を設けることにより、Nベース層2とPコレクタ層1のPN接合部分が逆バイアス状態 (逆阻止状態) になった場合、空乏層はNベース層2内を上方向に向かって広がるとともに、P層11より素子の内側に向かって横方向に広がる。横方向に広がる空乏層は表面に形成されたプレーナ型の耐压構造を利用して、逆向きに広がることで、素子の逆阻止耐压を得ることができる。

【0022】図4は、この発明における素子の耐压特性の波形図である。順阻止耐压 (順耐压) ばかりでなく、逆阻止耐压 (逆耐压) があるため、この逆阻止型IGBTのゲートを常時オン状態にすることで、Pコレクタ層1とNベース層2からなる、逆阻止耐压を有するPNダイオードとして動作させることができる。図5は、本発明品を逆並列接続した双方向IGBTのモデル図である。このように接続した場合、耐压特性は図4で示した耐压波形を示し、且つ、順逆方向のスイッチング動作を行わせることができる双方向スイッチング素子となる。例えば、主端子T1を接地し主端子T2に正の電圧が印加された場合、ゲート端子G1に正の電圧を印加すると、左側の素子 (第1逆阻止型IGBT41) がオン動作して正方向に電流が流れる。これとは逆に、主端子T2を接地し主端子T1に正の電圧を印加した場合、ゲート端子G2に正の電圧を印加することで右側の素子 (第2逆阻止型IGBT42) がオン動作して、逆方向に電流が流れる。つまり、双方向スイッチング動作を行なわせることができる。

【0023】この双方向IGBTは、これを構成する逆阻止型IGBT41、42のターンオフ特性やダイオード動作時の逆回復特性などと同等の特性を有することは勿論である。図6は、この本発明の第2実施例の半導体装置の要部断面図である。ここでは、半導体装置は逆阻止型IGBTである。

【0024】ライフタイムキラーを局在化させる位置として、Nベース層2とPベース層3のPN接合31が逆バイアスされた時 (順方向耐压時) に空乏化しない領域 (空乏層32が広がらない領域) のNベース層2内とする。この素子は、第1実施例で説明した効果と同様の効果が期待できる。図7は、この発明の第3実施例の半導体装置の要部断面図である。ここでは、半導体装置は逆阻止型IGBTである。

【0025】ライフタイムキラーを局在化させた場合の分布のピーク位置Lを、PN接合31からライフタイムキラーの密度分布のピーク (分布のピーク33) までの

距離と定義したとき、ピーク位置Lを $40\mu\text{m}$ 以下とする。また、ライフタイムキラーの分布の幅X (ピーク値の10%の範囲) は $20\mu\text{m}$ である。この素子は、第1実施例で説明した効果と同様の効果が期待できる。

【0026】図8は、ダイオード動作時の逆回復ピーク電流 I_{rp} のピーク位置L依存性を示す。ピーク位置Lを $40\mu\text{m}$ 以下にすると、均一なライフタイムキラー (点線のレベル) 分布をさせた場合よりも、 I_{rp} が小さく、ソフトリカバリー波形の良好な逆回復特性を示す。図8から、このピーク位置Lを、PN接合31に近づけると、さらに良好な逆回復特性を示し、ピーク位置Lを $20\mu\text{m}$ 以下とすると、 I_{rp} は、均一なライフタイムキラー分布とした場合の1/2程度に低減される。

【0027】図9は、この本発明の第4実施例の半導体装置の要部断面図である。ここでは、半導体装置は逆阻止型IGBTである。ライフタイムキラーを局在化させる位置は、前記第1実施例から第3実施例と同様であるが、これらと異なるのは、逆方向耐压を得る構造としてベベル構造21を適応している点である。

【0028】図10は、この本発明の第5実施例の半導体装置の要部断面図である。ここでは、半導体装置は逆阻止型IGBT電極である。ライフタイムキラーを局在化させる位置は第1実施例から第3実施例と同様であるが、これらと異なるのは逆方向耐压を得る構造として図9と異なるベベル構造22を適応した点である。そして、このベベル構造22を形成する方法として、表面プレーナ耐压構造の外側に表面よりPコレクタ層1に達する溝23を形成する。

【0029】

【発明の効果】この発明によれば、コレクタ層側のベース層に局部的にライフタイムキラーを導入することにより、良好なスイッチング特性を維持しながら、ダイオード動作時にも良好な逆回復特性を示す逆阻止型の半導体装置が得られる。また、この逆阻止型の半導体装置を逆並列に接続することで、良好な特性の双方向スイッチング素子を製作することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例の半導体装置の要部断面図

【図2】本発明品と従来品のターンオフ波形図

【図3】本発明品と従来品の逆回復波形図

【図4】この発明における素子の耐压特性の波形図

【図5】本発明品を逆並列接続した双方向IGBTのモデル図

【図6】この本発明の第2実施例の半導体装置の要部断面図

【図7】この発明の第3実施例の半導体装置の要部断面図

【図8】ダイオード動作時の逆回復ピーク電流 I_{rp} のピーク位置L依存性を示す図

【図9】この本発明の第4実施例の半導体装置の要部断面図

【図10】この本発明の第5実施例の半導体装置の要部断面図

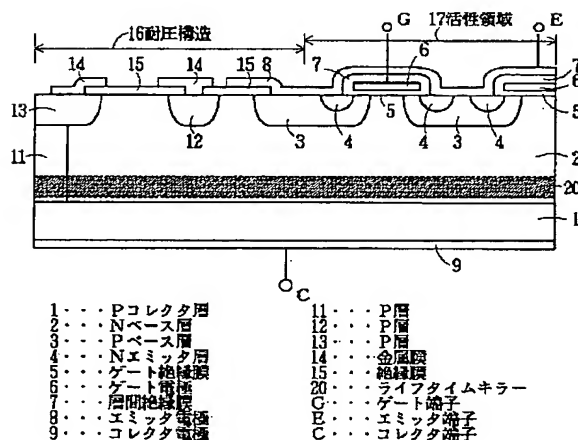
【図11】従来の逆阻止型IGBTの要部断面図

【符号の説明】

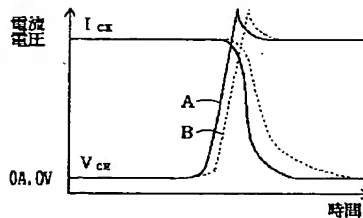
- 1 Pコレクタ層
- 2 Nベース層
- 3 Pベース層
- 4 Nエミッタ層
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 層間絶縁膜
- 8 エミッタ電極
- 9 コレクタ電極
- 11、12、13 P層
- 14 金属膜

- 15 絶縁膜
- 16 耐圧構造
- 17 活性領域
- 20 ライフタイムキラー
- 21、22 ペベル構造
- 31 PN接合
- 32 空乏層
- 33 分布のピーク
- 41 第1逆阻止型IGBT
- 42 第2逆阻止型IGBT
- G ゲート端子
- E エミッタ端子
- C コレクタ端子
- T1、T2 主端子
- G1、G2 ゲート端子
- L ピーク位置
- X 分布の幅

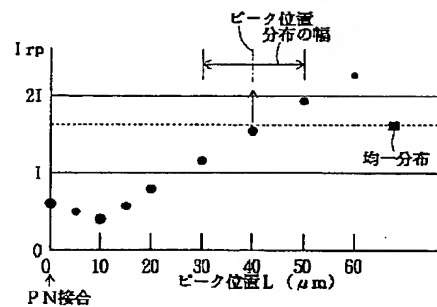
【図1】



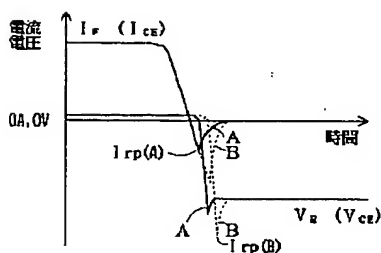
【図2】



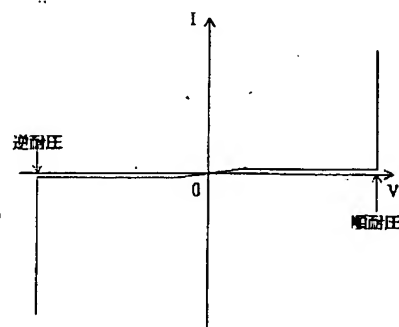
【図8】



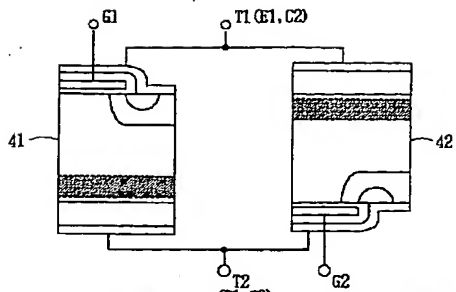
【図3】



【図4】

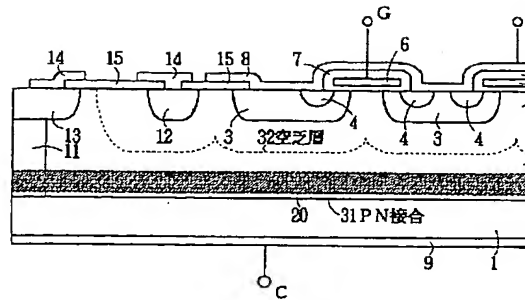


【図5】

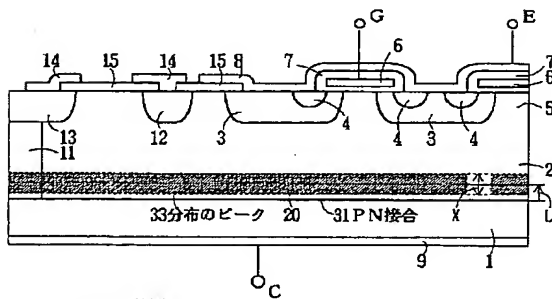


41・・・第1逆阻止型IGBT 42・・・第2逆阻止型IGBT

【図6】

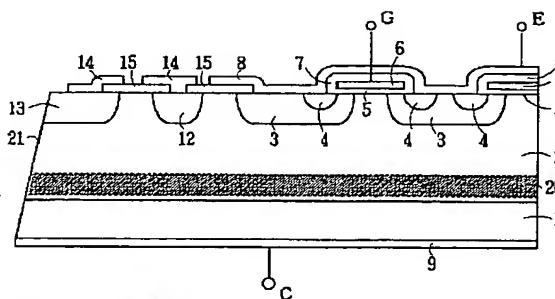


【図7】



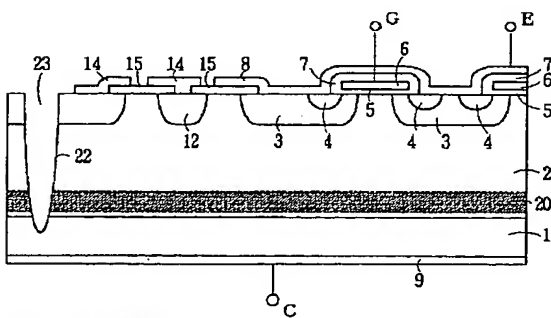
L・・・ピーク位置
X・・・分布の範囲

【図9】



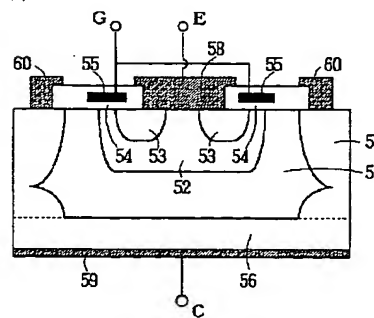
21・・・ベベル構造

【図10】



22・・・ベベル構造
23・・・端

【図11】



51・・・N+層
52・・・P+層
53・・・N+層
54・・・P+層
55・・・N+層
56・・・P+層
57・・・N+層
58・・・エミッタ電極
59・・・コレクタ電極
60・・・金属膜
C・・・ゲート電極
E・・・エミッタ電極
G・・・コレクタ電極